

【特許請求の範囲】

【請求項 1】

一方の入力端子に入力される基準信号と他方の入力端子に入力される入力信号との位相差を検出して位相差に応じた出力パルスを生成する位相比較器と、該位相比較器の出力信号に応じた電流を出力するチャージポンプと、該チャージポンプの出力を平滑化するループフィルタと、該ループフィルタの出力電圧に応じて出力信号の周波数が制御される電圧制御発振器と、入力される分周数データにしたがって前記電圧制御発振器の出力信号を分周して前記位相比較器の他方の入力端子に帰還するプログラマブル分周器とから構成される位相同期回路において、

入力される送信信号列を、分周数を設定する整数信号に変換して前記プログラマブル分周器の制御端子へ入力する第 1 の変調手段と、

入力される送信信号列を所定の信号波形に整形して前記電圧制御発振器に入力する第 2 の変調手段と、

切替信号に応じてループ帯域を切替えるループ帯域切替え手段とを有することを特徴とする位相同期回路。

【請求項 2】

請求項 1 に記載の位相同期回路において、

前記第 1 及び第 2 の変調手段の間の出力遅延差を調整する調整手段を更に有することを特徴とする位相同期回路。

【請求項 3】

請求項 1 または請求項 2 に記載の位相同期回路において、

前記ループ帯域切替え手段は、位相同期回路を起動する信号が投入された時にループ帯域を広く設定され、キャリア周波数を示す定数値にしたがった周波数に収束を行い、所定時間経過した後ループ帯域を狭くするように、ループ帯域を切替えることを特徴とする位相同期回路。

【請求項 4】

請求項 1 ～ 3 のいずれかに記載の位相同期回路において、

前記ループ帯域切替え手段は、前記切替信号により少なくとも 2 値の出力電流値を切替える電流可変チャージポンプ回路で構成されることを特徴とする位相同期回路。

【請求項 5】

請求項 1 ～ 4 のいずれかに記載の位相同期回路において、

前記第 1 の変調手段は、前記送信信号列に定数を乗じる乗算器と、該乗算器の出力に対してデルタシグマ変調を行うデルタシグマ回路と、該デルタシグマ回路の出力とキャリア周波数を示す定数とを加算する加算回路とから構成されることを特徴とする位相同期回路。

【請求項 6】

請求項 1 ～ 4 のいずれかに記載の位相同期回路において、

前記第 1 の変調手段は、前記送信信号列を所定の信号波形に変換するデジタルフィルタと、デジタルフィルタの出力に対してデルタシグマ変調を行うデルタシグマ回路と、該デルタシグマ回路の出力とキャリア周波数を示す定数とを加算する加算回路とから構成されることを特徴とする位相同期回路。

【請求項 7】

請求項 5 に記載の位相同期回路において、

前記デルタシグマ回路は、1 次または 2 次のデルタシグマ回路であることを特徴とする位相同期回路。

【請求項 8】

請求項 5 に記載の位相同期回路において、

前記デルタシグマ回路は、複数段縦続して接続されたデルタシグマ回路であることを特徴とする位相同期回路。

【請求項 9】

10

20

30

40

50

請求項 1～4 のいずれかに記載の位相同期回路において、
前記第 1 の変調手段は、前記送信信号列に定数を乗じる乗算器と、該乗算器の出力に対してデルタ変調を行うデルタ変調回路と、該デルタ変調回路の出力とキャリア周波数を示す定数とを加算する加算回路とから構成されることを特徴とする位相同期回路。

【請求項 10】

請求項 1～4 のいずれかに記載の位相同期回路において、
前記第 1 の変調手段は、前記送信信号列を所定の信号波形に変換するディジタルフィルタと、該ディジタルフィルタの出力に対してデルタ変調を行うデルタ変調回路と、該デルタ変調回路の出力とキャリア周波数を示す定数とを加算する加算回路とから構成されることを特徴とする位相同期回路。

10

【請求項 11】

請求項 1～10 のいずれかに記載の位相同期回路において、
前記第 2 の変調手段は、前記送信信号列を所定の信号波形に整形するための、ディジタルフィルタとデジタル／アナログ変換器とからなる波形整形回路で構成されることを特徴とする位相同期回路。

【請求項 12】

請求項 1～11 のいずれかに記載の位相同期回路と、
前記位相同期回路の電圧制御発振器出力に接続される増幅回路と、
前記位相同期回路のループ切替えのためのループ切替信号と前記増幅回路の動作状態を制御するオン・オフ信号と前記位相同期回路への基準信号と送信信号系列とを供給する制御回路とから構成され、入力される送信信号系列を増幅して出力することを特徴とするデータ送信回路。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、信号送信を行う位相同期回路（PLL：Phase Locked Loop circuit）に係り、特に切替え信号によりループ帯域を変更できる同期回路に関する。

【0002】

【従来の技術】

信号送信を行う位相同期回路の第 1 の従来例を図 1 に示す。この位相同期回路は、2つの入力信号 REF、OSC の位相差を検出して位相差に応じた出力パルスを生成する位相比較器 1（PFD：Phase Frequency Detector）と、位相比較器 1 の出力信号に応じた電流を出力するチャージポンプ 2（CP：Charge Pump）と、チャージポンプ 2 の出力信号を平滑化するループフィルタ 3（LF：Loop Filter）と、ループフィルタ 3 の出力電圧 V_{ctrl1} が第 1 の制御端子に供給されて周波数が制御される電圧制御発振器（VCO：Voltage Controlled Oscillator）4 と、この電圧制御発振器 4 の出力信号 f_{out} を分周して位相比較器 1 に帰還するプログラマブル分周器（PDV：Programmable Divider）5 と、入力される送信パルス列 TX_DATA を所定の送信波形電圧 V_{ctrl2} に変換して電圧制御発振器 4 の第 2 の制御端子に入力するパルスの波形整形回路（PSC：Pulse Shaping Circuit）6 と、送信チャネルを表す定数値、すなわちキャリア周波数を示す定数値 CS にデルタシグマ変調をかけてプログラマブル分周器 5 の分周数設定信号を出力するデルタシグマ回路（ $\Delta\Sigma$ ）7 とから構成される（例えば、特許文献 1 参照）。

30

40

【0003】

第 1 の従来例の位相同期回路の動作について説明する。位相比較器 1、チャージポンプ 2、ループフィルタ 3、電圧制御発振器 4、プログラマブル分周器 5、デルタシグマ回路 7 により構成される部分は、分数分周方式の位相同期回路を構成する。デルタシグマ回路 7 は、N 以上、N + 1 以下の定数値 CS が入力されると、出力信号の平均値が CS と等しく

50

なるようランダムに N または $N + 1$ を出力する。これにより、プログラマブル分周器 5 の平均分周数が N と $N + 1$ の間の分数値、すなわち定数値 CS となるため、分数分周数を有する位相同期回路を実現できる。このような分数分周方式の位相同期回路については、例えば、非特許文献 2 に記載されている。

【0004】

次に、波形整形回路 6 について説明する。波形整形回路 6 は送信パルス列 Tx_DATA として入力されるバイナリパルス列を、所定の送信波形に整形して電圧制御発振器 4 の第 2 の制御端子に送信波形電圧 $Vctrl2$ を供給する。例えば、周波数伝達特性がガウス分布の低域通過フィルタにより帯域制限した周波数偏移変調、すなわち $GFSK$ ($Gaussian\ Filtered\ Frequency\ Shift\ Keying$) 変調 10
を行うためには、波形整形回路 6 を、ガウスフィルタと、デジタル／アナログ (D/A) 変換器を用いて構成する。

【0005】

第 1 の従来例において、送信波形電圧 $Vctrl2$ から電圧制御発振器 4 の出力信号 f_{out} までの伝達関数は、ハイパス特性を有する。すなわち、位相同期回路のループ帯域が広く、シンボル周波数がハイパスフィルタの阻止域または遷移域にある場合、送信波形電圧 $Vctrl2$ から入力される変調信号は出力信号 f_{out} において劣化する。

【0006】

位相同期回路のループ帯域は温度やデバイス変動により変動するため、劣化の割合もそれに
応じて変化する。この対策としてループ帯域を低く設定し、シンボル周波数をハイパス
フィルタの通過域に設定する手法が挙げられる。しかし、この手法では位相同期回路の収
束時間が長くなるため、位相同期回路の起動時間を満たすことができない難点がある。こ
のため、第 1 の従来例では、収束時はループ帯域を広く、送信時は信号 $band$ によりチ
ャージポンプ CP のチャージポンプ電流とループフィルタ LF の時定数を切替え、ループ
帯域を狭くするループ帯域切替方式をとり、収束時間と送信特性の双方を満たすようにし
ている。 20

【0007】

次に、第 2 の従来例を図 3 に示す。この位相同期回路は、位相比較器 1 と、チャージポン
プ 2 と、ループフィルタ 3 と、電圧制御発振器 4 と、プログラマブル分周器 5 と、送信パ
ルス列 Tx_DATA を $GMSK$ 信号に変換するガウスフィルタ 8 と、ガウスフィルタ 8 30
の出力と分周数設定信号を加算する加算回路 9 とに接続されるデルタシグマ回路 7 と、位
相同期回路のループ特性と逆特性を有するディジタルフィルタ ($DF: Digital\ Filter$) 10 とから構成される (例えば、非特許文献 3 参照)。

【0008】

第 2 の従来例による位相同期回路の動作について説明する。位相同期回路の定常状態にお
いて、電圧制御発振器 4 の中心周波数は分周数を指定する定数 CS と基準信号 REF の周
波数 f_{ref} の積 $CS \times f_{ref}$ である。送信時において送信パルス列 Tx_DATA は
ガウスフィルタ ($GF: Gaussian\ Filter$) 8 に入力されて波形整形を受
けた後、ディジタルフィルタ 10 により位相同期回路のループ特性による劣化を補正した
信号に変換される。ディジタルフィルタ 10 の出力は、キャリア周波数を表す信号 CS と 40
加算された後、デルタシグマ回路 7 に入力される。デルタシグマ回路 7 の出力は、プロ
グラマブル分周器 7 に入力され分周数設定値が更新される。

【0009】

ここで、分かりやすく説明するため、まず、ディジタルフィルタ 10 が無く、ガウスフィ
ルタ 8 の出力とデルタシグマ回路 7 の出力が接続されている場合を考える。なお、送信パ
ルス列 Tx_DATA の周波数は位相同期回路のループ帯域よりも十分高いものとする (例
えば 10 倍の周波数)。

【0010】

デルタシグマ回路 7 の出力信号は、送信変調信号をディジタル値で表現した信号である。
この信号がプログラマブル分周器 5 に入力されると、プログラマブル分周器 5 の出力信号 50

の位相が変化する。この位相の変化が、位相比較器 1、チャージポンプ 2、ループフィルタ 3 を介して電圧制御発振器 4 の出力に伝達し、中心周波数が $CS \times f_{ref}$ の変調信号を生成する。ここで、デルタシグマ回路 7 の出力信号が電圧制御発振器 4 の出力に伝達する際の伝達関数はローパス特性を示す。したがって、電圧制御発振器 4 からの出力はデルタシグマ回路 7 から出力された信号に位相同期回路のローパス特性を乗算した信号となる。

【0011】

このように、デジタルフィルタ 10 が無い場合でも変調信号を出力することは可能であるが、位相同期回路のローパス特性により変調波形が減衰するため、特に位相同期回路のループ帯域に対し、送信パルス列 TX DATA の周波数が十分高い場合において動作が困難となる。第 2 の従来例では、この変調波形の減衰を防止するため、デジタルフィルタ 10 を設けている。デジタルフィルタ 10 は位相同期回路のローパス特性の逆特性を有し、送信信号をプログラマブル分周器 5 に入力する前に位相同期回路のローパス特性による劣化分を考慮した信号増幅を行う。この操作により、ループ帯域に依存せずシンボルレートの高速化を図ることができる。

【0012】

【非特許文献 1】

Seong Hwan Cho 他、" A 6.5GHz CMOS FSK Modulator for Wireless Sensor Applications", Symposium on VLSI Digest of Technical Papers, pp182-185, 2002.

【非特許文献 2】

Razavi 著、「RF Microelectronics, 1998 年、Prentice Hall 社」、p279-283

【非特許文献 3】

Michael H. Perrott 他、" A 27-mW CMOS Fractional-N Synthesizer Using Digital Compensation for 2.5-Mb/s GFSK Modulation," IEEE JSSC Vol. 32, No. 12, pp2048-2060, Dec. 2002

【0013】

【発明が解決しようとする課題】

前述した第 1 の従来例の問題点について図 2 を用いて説明する。図 2 において、縦軸に周波数 f 、横軸に時間 t をとり、 f_c はキャリア周波数、 Δf は変調周波数、 t_s は変調開始時点を表わしている。デジタル送信信号が "11111111" の連続の場合、理想的な変調波形は実線 A のようにキャリア周波数 f_c に対し Δf 離れた変調を受けている波形である。しかし、ループ帯域がパケット長に対して広い場合、1 点鎖線 B のように変調波形が劣化する。したがって、位相同期回路は、送信シンボルの最大パケット長が送信された場合においても、信号劣化を起こさないように十分低いループ帯域に設定されなくてはならない。

【0014】

一方、位相同期回路を構成する電圧制御発振器 4 はループフィルタ LF のリークなどの外乱により、例えば図 2 の 2 点鎖線 C のような周波数ドリフトを発生する。このドリフトを位相同期回路により補正するためには、1 パケット内で発生する電圧制御発振器 4 の周波数ドリフトに対して追従できるように、ループ帯域は広く設定されなくてはならない。

【0015】

第 1 の従来例では、特に "11111111" と、"1" が連続するような偏りのあるデジタル信号が送信される用途において、送信特性とドリフトの補正特性を両立することは困難であり、電圧制御発振器 4 のドリフトを低減するための別の手段が必要となる。

【0016】

10

20

30

40

50

第2の従来例では、デルタシグマ回路7やデジタルフィルタ10には、変調波形の波形の精度が必要となるため高いクロックレートが必要となる。したがって、基準信号REFの周波数frefも高く設定する必要があるため、位相比較器1やデルタシグマ回路7、デジタルフィルタ10などのデジタル回路を高速で動作させる必要がある。これにより動作限界周波数や電力消費の面で難点がある。

【0017】

まとめると、第1の従来例では、“11111111”などの“1”の連続信号が送信された場合、PLLの引き込み動作により変調信号が劣化することに問題があり、第2の従来例では、送信信号誤差を小さくするためにシンボルレートに対し十分高いサンプリング周波数で動作する必要があるため、frefがシンボルレートに対して高い周波数に設定され、位相比較などデジタル回路の動作が困難になることに問題がある。

10

【0018】

本発明の目的は、“11111111”などの“1”の連続信号が投入された場合にも変調信号劣化を発生せず、さらに、シンボルレートが高い場合においても基準信号の周波数を低く保ち、位相比較器およびデルタシグマ回路のサンプリング周波数を低く保持できるループ帯域可変の位相同期回路を提供することにある。

【0019】

【課題を解決するための手段】

本発明の代表的手段の一例を示せば次の通りである。すなわち、本発明に係る位相同期回路は、一方の入力端子に入力される基準信号と他方の入力端子に入力される入力信号の位相差を検出して位相差に応じた出力パルスを生成する位相比較器と、位相比較器の出力信号に応じた電流を出力するチャージポンプと、チャージポンプの出力を平滑化するループフィルタと、ループフィルタの出力電圧に応じて出力信号の周波数が制御される電圧制御発振器と、入力される分周数データにしたがって前記電圧制御発振器の出力信号を分周して前記位相比較器の前記他方の入力端子に帰還するプログラマブル分周器とから構成される位相同期回路において、入力される送信信号列を、分周数を設定する整数信号に変換して前記プログラマブル分周器の制御端子へ入力する第1の変調手段と、入力される送信信号列を所定の信号波形に整形して前記電圧制御発振器に入力する第2の変調手段と、切替信号に応じて位相同期回路のループ帯域を切替えるループ帯域切替え手段とを有することを特徴とするものである。

20

30

【0020】

本発明の上記以外の目的、構成、並びに、それによって得られる作用・効果については、以下の実施の形態で例を挙げての詳細な説明の中で順次明らかにされよう。

【0021】

【発明の実施の形態】

以下、本発明に係る位相同期回路の好適な実施形態について、添付図面を参照しながら詳細に説明する。

【0022】

<実施形態1>

図4は、本発明に係る位相同期回路の第1の実施形態を示す回路ブロック図である。なお、従来例の図1及び図2に示した構成部分と同じ構成部分には、同じ参照符号を付してある。この位相同期回路は、位相比較器1と、可変電流チャージポンプ11と、ループフィルタ3と、電圧制御発振器4と、プログラマブル分周器5から構成され、さらに、基準信号REF、送信シンボルTXDATA、可変電流チャージポンプ11の電流値切替信号CURの送出タイミングを制御する制御回路(CTL)16と、送信パルス列TXDATAを所定の整数値パルス列に変換してプログラマブル分周器5の分周数設定端子へ入力する第1の変調手段MD1と、送信パルス列TXDATAに所定の信号波形に整形して前記電圧制御発振器4に入力する第2の変調手段MD2とから構成される。

40

【0023】

本実施形態では、一例として第1の変調手段MD1は、送信パルス列に1つの定数mを乗

50

じる乗算器 1 3 と、乗算器 1 3 の出力を所定のパルス列に変換するデルタシグマ回路 7 と、デルタシグマ回路 7 の出力にキャリア周波数を示す定数を加算する加算回路 1 4 とから構成する回路を示し、第 2 の変調手段 M D 2 は、送信パルス列 T X _ D A T A を所定の信号形状に変換して電圧制御発振器 4 に入力する波形整形回路 6 とから構成する回路を示している。また、第 1 の変調手段 M D 1 の出力と、第 2 の変調手段 M D 2 の出力との間の出力遅延差を調整する遅延回路 (D L Y) 1 5 を、第 1 の変調手段 M D 1 のデルタシグマ回路 7 と加算回路 1 4 の間に設けている。

【 0 0 2 4 】

ここで、特に波形整形回路 6 とデルタシグマ回路 7 の出力位相差を調整する遅延回路 1 5 が設けられている点、電流可変チャージポンプ 1 1 によりループ帯域を切替えることができる点、送信パルス列 T X _ D A T A とデルタシグマ回路 7 の間に、定数を乗算する 1 つの乗算器 1 3 を備えている点を特徴とする。

【 0 0 2 5 】

このように構成される本発明に係る位相同期回路は、送信パルス列 T X _ D A T A が入力されると、電圧制御発振器 4 の出力から変調信号を出力する。まず、位相同期回路の送信起動手順を、図 5 を用いて説明する。図 5 において、縦軸は電圧制御発振器 4 の発振周波数 f o s c を示し、横軸は時間 t を示している。

【 0 0 2 6 】

E 時点において、制御回路 1 6 から基準信号 R E F が投入され位相同期回路が起動されると、制御回路 1 6 は電流値切替信号 C U R により電流可変チャージポンプ 1 1 の電流値を高くすることによりループ帯域を広く設定し、キャリア周波数を示す定数である C S 信号にしたがった周波数に収束を開始する。図中に示した W R 期間は、ループ帯域が広く設定される。

【 0 0 2 7 】

次に、F 時点において、電流値切替信号 C U R の状態を変化させ電流可変チャージポンプ 1 1 の電流を低減してループ帯域を狭く切替える。図中に示した N R 期間はループ帯域が狭く設定される。

【 0 0 2 8 】

次に、切替時に生じた位相周波数差の再引込みを行った後、G 時点において送信パルス列 T X _ D A T A が投入され、送信が開始される。

【 0 0 2 9 】

本実施形態の位相同期回路の個別構成要素の動作について、以下説明する。

波形整形回路 6 は、送信信号 T X _ D A T A を所定のパルス形状に整形して電圧制御発振器 4 の周波数を制御する第 2 の制御端子に入力し、変調を行う。

【 0 0 3 0 】

この構成では、電圧制御発振器 4 の第 1 の制御端子がループフィルタ 1 2 の出力端子に接続され、第 2 の制御端子が波形整形回路 6 に接続される。このように構成すると、第 1 の制御端子で中心周波数が決定され、第 2 の制御端子に入力される変調信号が前記中心周波数に加算されることによって変調が可能となる。この電圧制御発振器 4 の構成としては、例えば、第 1 の従来例中に記載されている電圧制御発振器を用いることができる（非特許文献 1、p. 1 8 4、図 4 参照）。また、波形整形回路 6 は、例えば、ディジタルフィルタと D / A 変換器により構成すればよい。

【 0 0 3 1 】

送信パルス列 T X _ D A T A は、乗算回路 1 3 により定数 m の乗算を受けたのちデルタシグマ回路 7 に入力される。デルタシグマ回路 7 は、入力された信号をデルタシグマ変調したのち、加算回路 1 4 でキャリア周波数を表す定数 C S の加算を受ける。加算回路 1 4 の出力は、プログラマブル分周器 5 に入力され分周数が更新される。これにより生じるプログラマブル分周器 5 の出力の位相変化が、位相比較器 1、可変電流チャージポンプ 1 1、ループフィルタ 1 2 を介して電圧制御発振器 4 に伝達されることによって変調が可能となる。

10

20

30

40

50

【0032】

本実施形態で用いるデルタシグマ回路7の構成は特に限定されず、例えば、図6に示す1次デルタシグマ回路が適用できる。ここで、 $x(n)$ は入力信号(乗算器13の出力)、 $y(n)$ は出力信号(加算器14の入力)であり、17は加算器、18は入力された値に最も近い整数値を出力する整数化回路(INT: Integer)、19は1遅延回路である。

【0033】

定数 m は、基準信号REFの周波数 f_{ref} 、送信パルス列TX_DATAのシンボルレート、キャリア周波数 f_c 、分周数 k 、変調周波数 f_{mod} を元に決定される。 $f_{ref} = 1\text{ MHz}$ 、 $f_c = 1\text{ GHz}$ 、 $k = 1000$ 、 $f_{mod} = 100\text{ kHz}$ とし、シンボルを1Mbpsの、“111-1-111-1-1-1”のような信号系列の場合を例に取り、定数 m の決定手段について説明する。

10

【0034】

位相同期回路の定常状態、すなわち電圧制御発振器4の出力周波数が1GHzであるとする。このとき、送信シンボルに“-1”が入力されると、波形整形回路6から出力される変調信号により電圧制御発振器4の周波数は1GHzから999.9MHzに変調される。変調前において位相同期回路が1GHzに収束しているため、この999.9MHzの信号が位相比較器1に帰還されたとき、位相差を生じるため位相同期回路が引込み動作を開始し変調信号が劣化する。

【0035】

この引込み動作を発生させないためには、分周数が999.9であればよい。したがって、シンボル“-1”が入力された場合、分周数を-0.1分周し、同様にシンボル“1”が入力された場合、分周数を+0.1分周することにより位相同期回路の引き込みによる信号劣化を防止することができる。しかし、実際にはプログラマブル分周器5の分周数は少数値を取る事ができない。そこで、±0.1信号をデルタシグマ回路7に入力してデルタシグマ変調を行い出力の±1系列を、プログラマブル分周器5に入力する。すなわち、乗算器13において、入力されてくる送信シンボル“+1”、“-1”に対し定数 m をかけてそれぞれ“+0.1”、“-0.1”に変換してからデルタシグマ回路7へ入力すればよい。従って、この場合は $m = 1/10$ と決定される。ここで、デジタル信号では小数点以下の桁数に制限があるため、定数 m を表現できない場合がある。その場合には、1/10である必要は無く、デジタル信号で表現できる1/10に近い数字を選択することで対応できる。

20

30

【0036】

また、例えば $f_{ref} = 2\text{ MHz}$ 、送信シンボルを1Mbpsのようにシンボルレートに対して基準信号REFの周波数が高い場合は、送信シンボル“1”を基準信号REFの周波数と同じ周波数の信号“11”のように、同じシンボルの繰り返しにより表現して乗算器13に入力することで動作できる。

【0037】

更に、シンボルレートに対して基準信号REFの周波数が低い場合は、第1の変調手段MD1として図7に示す変調手段MD1aを用いればよい。ここで図7において、変調手段MD1aは、送信パルス列に1つの定数 m を乗じる乗算器13と、乗算器13の出力を所定のパルス列に変換するデルタシグマ回路7と、デルタシグマ回路7の出力の所定区間における平均値を出力する平均化回路(AVG)20と、平均化回路20の出力にキャリア周波数を示す定数CSを加算する加算回路14とから構成する回路である。

40

【0038】

例えば $f_{ref} = 0.5\text{ MHz}$ 、送信シンボルを1Mbpsとし、送信シンボル“1-111”に対応するデルタシグマ回路7の出力を“1-111”とすると、平均化回路20は、2つの送信シンボルの平均をとり周波数0.5MHzで“01”の信号を出力する。

【0039】

このように、本実施形態では、基準信号REFをシンボルレート以下に設定した場合でも

50

動作できるため、基準信号 R E F の周波数を低くすることができる。

【0040】

なお、1次デルタシグマ回路の代わりに、図8に示す2次デルタシグマ回路を用いてもよい。図8において、 $x(n)$ は入力信号（乗算器13の出力）、 $y(n)$ は出力信号（加算器14の入力）、17は加算器、18は入力された値に最も近い整数値を出力する整数化回路（I N T）、19は1遅延回路、21は定数2と乗算する乗算器である。2次デルタシグマ回路は、出力 $y(n)$ に出現するパターンが1次デルタシグマ回路と比較してランダム性を有するため、より出力スペクトルの特性を改善することができる。

【0041】

さらに、図9に示す多段接続型デルタシグマ回路や、図10に示すデルタ変調回路を1次
10
デルタシグマ回路の代わりに用いることもできる。

【0042】

図9において $x(n)$ は入力信号（加算器13の出力）、 $y(n)$ は出力信号（加算器14の入力）であり、17は加算器、18は入力された値に最も近い整数値を出力する整数化回路、19は1遅延回路である。また、D S 1は1段目の1次デルタシグマ回路、D S 2は2段目の1次デルタシグマ回路、D S 3は3段目の1次デルタシグマ回路である。多段接続型デルタシグマ回路は、安定な2次以下のデルタシグマ回路を複数個使用して2次以上のデルタシグマ回路を構成するため、安定な動作が得られる。図9に示した多段接続型デルタシグマ回路は、1次デルタシグマ回路や2次デルタシグマ回路よりも出力 $y(n)$ に出現するパターンが1次デルタシグマ回路と比較してランダム性を有するため、より出力
20
スペクトルの特性を改善することができる。

【0043】

図10において $x(n)$ は入力信号（加算器13の出力）、 $y(n)$ は出力信号（加算器14の入力）であり、17は加算器、18は入力された値に最も近い整数値を出力する整数化回路、19は1遅延回路である。デルタシグマ回路では出力信号に含まれる雑音が低周波で小さく高周波で大きくなるのに対し、デルタ変調回路の出力 $y(n)$ に出現する信号は全帯域で平坦な周波数特性を得ることができる。

【0044】

また、第1の変調手段 M D 1 は、定数 m と乗算器13で構成される部分を、送信信号 T X _ D A T A を所定の波形に減衰させるディジタルフィルタ22に置き換えた、図11に示す変調手段 M D 1 b を用いても構成できる。或いは、送信信号 T X _ D A T A に応じ送信波形をデータテーブルから読み出してデルタシグマ回路7へ入力するように構成しても同様の動作ができる。
30

【0045】

さて、前述した第1の変調手段 M D 1 の加算回路14の出力と、第2の変調手段 M D 2 の波形整形回路6の出力では、回路構成が異なるため位相差を有する。この位相差を考慮せずに信号を送信した場合、波形整形回路6により生成される変調信号と加算回路14から出力される分周数更新信号に遅延差を生じるため、変調波形が崩れてしまう。

【0046】

そこで、遅延回路15によりこれらの間の位相差を調整することにより、波形整形回路6
40
の出力と加算回路14の出力の位相差を無くすることができる。ここで、遅延回路15の挿入位置は図4に示す位置に限定されず、デルタシグマ回路7と乗算回路13の間や、加算回路14とプログラマブル分周器5の間や、波形整形回路6内に挿入することができる。また、挿入箇所は1つに限定されず複数個の遅延回路を用いてもよい。

【0047】

以上により、“11111111”などの連続信号が送信された場合においても乗算回路13、デルタシグマ回路7、遅延回路15、加算回路14により変調周波数を保つ動作が行われるため、第1の従来例の問題点である送信波形の劣化を防止することができる。

【0048】

本実施形態では、波形整形回路6から投入される信号は、例えばディジタルフィルタなど
50

により波形整形が行われて入力されるため精度の高い変調波形が得られる。一方、乗算回路 13 では所定の定数 m を乗算して出力するため、波形整形されない信号が出力される。これにより、第 1 の変調手段 MD 1 の加算回路 14 からプログラマブル分周器 5 へ入力される信号は、所望の送信波形に対し誤差を多く含む。したがって、本実施形態では出力される変調信号を生成する際の、波形整形回路 6 の変調経路すなわち第 2 の変調手段 MD 2 の寄与率を、加算回路 14 の変調経路すなわち第 1 の変調手段 MD 1 に対し大きくなるように設定することにより精度の高い変調を行う。

【0049】

位相同期回路のループ帯域が 30 kHz、シンボルレートが 1 MHz の場合を例に取り、具体的な手法を説明する。位相同期回路は、第 2 の変調手段 MD 2 から入力される信号に対しカットオフ周波数 30 kHz のハイパス特性を有し、第 1 の変調手段 MD 1 から入力される変調信号に対しカットオフ周波数 30 kHz のローパス特性を有する。これらのハイパス特性とローパス特性を合成すると平坦なオールパス特性が得られる。

【0050】

シンボルレート 1 MHz の送信シンボルは 0 Hz から 1 MHz までの帯域を有する。このようなシンボルが送信されるとき電圧制御発振器 4 から出力される変調信号において、0 Hz から 30 kHz までは第 2 の変調手段 MD 2 によって生成され、30 kHz から 1 MHz までは第 1 の変調手段 MD 1 によって生成される。

【0051】

本発明では、このような位相同期回路の特性を利用するため、送信時のループ帯域を狭く設定する。例えば、送信時のループ帯域を 5 kHz とすると、0 Hz から 5 kHz までは第 2 の変調手段 MD 2 によって生成され、5 kHz から 1 MHz までは第 1 の変調手段 MD 1 によって生成される。これにより、変調信号の多くは第 2 の変調手段 MD 2 から生成され、微少部分が第 1 の変調手段 MD 1 から生成されるため、変調誤差を低減することができる。

【0052】

ここで、位相同期回路のループ帯域を低く固定した場合、位相同期回路の収束時において収束時間がかかる問題がある。そこで、制御回路 16 を設けて、電流値切替信号 CUR により収束時はループ帯域を広く、送信時はループ帯域を狭く切り替えることにより、高速に収束しつつ送信波形の誤差を低減できる構成とする。

【0053】

具体的には、送信時のチャージポンプ 11 の電流を収束時のチャージポンプ電流よりも低くすることによりループ帯域を切替えることができる。ここで、可変電流チャージポンプ 11 の回路構成例を述べる。図 12 は、2 値電流切替型チャージポンプの構成例である。このチャージポンプ回路は、前段の位相比較器 1 からの信号 UP/DN 信号によりスイッチ Sup/Sdn をオン/オフし、チャージポンプの出力端子 Vcp に電流を注入/引き抜く動作を行う。このとき、注入または引き抜かれる電流値はスイッチ Sup, Sdn に接続される電流源 23, 24 の電流値の総和で決定される。図 12 において、電流源 23, 24 はそれぞれ電流値 Ia, Ib の電流源であり、電流源 23 はスイッチ SW によりスイッチ Sup, Sdn への接続/非接続を切替える。また、スイッチ SW は電流値切替信号 CUR によりオン/オフ制御される。

【0054】

したがって、電流値切替信号 CUR によりスイッチ SW がオフされたとき、スイッチ Sup, Sdn に接続される電流源の電流値の総和は、Ia である。また、電流値切替信号 CUR によりスイッチ SW がオンされたとき、スイッチ Sup, Sdn に接続される電流源の電流値の総和は、Ia + Ib である。これにより、電流を Ia および Ia + Ib の 2 値に切替えられるチャージポンプが構成できる。

【0055】

ここで、図 12 において電流値切替信号 CUR は 1 ビットの信号としたが、これを多ビット化し、さらにスイッチ SW および電流源 24 を、電流源 23 に並列に複数設けることに

10

20

30

40

50

より、2 値以上の電流値を出力させることもできる。

【0056】

以上述べたように、本実施形態では連続信号が投入された場合にも変調信号の劣化を発生せず、さらに、シンボルレートが高い場合においても、基準信号の周波数 f_{ref} を低く保ち、位相比較器 1 およびデルタシグマ回路 7 のサンプリング周波数を低く保持できる位相同期回路が構成できる。

【0057】

<実施形態 2>

図 13 は、本発明に係る位相同期回路の第 2 の実施形態を示すブロック回路図である。本実施形態は、第 1 の実施形態で述べた位相同期回路の適用例を示すデータ送信回路である。図 13 において制御回路 30 は、位相同期回路 PLL および増幅回路 AMP などから構成される送信回路に、基準信号 REF、送信シンボル TX_DATA、電流値切替信号 CUR、増幅回路のオン・オフ制御信号 PAON を出力し、送信時の動作状態を制御する。位相同期回路 PLL は、第 1 の実施形態で述べた位相同期回路であり、図 4 に示した構成を用いている。なお、第 1 および第 2 の変調手段 MD1、MD2 の構成は、第 1 の実施形態で述べたように、デルタシグマ回路 7 としては、1 次または 2 次デルタシグマ回路、或はデルタ変調回路などを用いることができ、波形整形回路 6 としては、ガウスフィルタと D/A 変換器で構成すればよい。

【0058】

送信時の動作は、次のようになる。

まず、電流値切替信号 CUR により位相同期回路 PLL 内のチャージポンプ電流値が設定される。このとき、チャージポンプの電流値は位相同期回路のループ帯域を広くする状態に設定される。

【0059】

次に、位相同期回路が基準信号 REF と位相同期回路の分周数に応じた周波数に収束するまで待機時間を設けた後、制御回路 30 から信号 PAON が投入されて増幅回路 AMP が起動される。

【0060】

増幅回路 AMP が起動されるとき、電源変動などにより位相同期回路の出力周波数が変動するため、その周波数変動を吸収する待機時間を設けた後、制御回路 30 は電流値切替信号 CUR によりループ帯域を狭く切替える。

【0061】

ループ帯域切替時、電流変動などにより生じる位相周波数差を吸収するため位相同期回路 PLL が再引き込みを行う。

【0062】

この引き込みを完了する待機時間を設けた後、制御回路 30 は、送信パルス列 TX_DATA を位相同期回路に投入する。

位相同期回路は、第 1 及び第 2 の変調手段を用いて送信パルス列 TX_DATA を変調信号 p_0 に変換し、増幅回路 AMP に出力する。増幅回路 AMP は、位相同期回路の出力信号 p_0 を増幅した信号 TX_OUT を出力する。出力信号 TX_OUT は、例えば無線通信の場合、フィルタやアンテナなどを介して電波として空間に放出され、他の受信回路に伝達される。

【0063】

本実施形態では、データ送信回路の位相同期回路に、前述した第 1 の実施形態の位相同期回路を用いたことにより、“11111111”などの“1”が連続したデータ信号が制御回路 30 から投入された場合にも、変調信号の劣化が発生せず、したがってデータ送信回路から出力される送信信号は誤差のない良好なデータ送信を行える。

【0064】

【発明の効果】

前述した実施形態例から明らかなように、本発明によれば、位相同期回路を構成する第 1

10

20

30

40

50

変調手段によりプログラマブル分周器への分周数変更を低い周波数で行えるため、従来の同期回路で問題となった、“1 1 1 1 1 1 1”などの連続信号送信時の変調信号劣化や、高速クロック周波数による位相比較器動作不良をなくすることができる。

【図面の簡単な説明】

【図 1】第 1 の従来例を示す位相同期回路の構成図、

【図 2】第 1 の従来例の位相同期回路の送信特性を示す図、

【図 3】第 2 の従来例を示す位相同期回路の構成図、

【図 4】本発明に係る同期回路の第 1 の実施形態を示す回路ブロック図、

【図 5】本発明に係る位相同期回路の送信起動手順を説明するための電圧発振器の発振周波数の時間変化を示す図、

10

【図 6】第 1 の実施形態で用いるデルタシグマ回路の構成例を示す図、

【図 7】第 1 の実施形態で用いる変調回路の別の構成例を示す図、

【図 8】第 1 の実施形態で用いるデルタシグマ回路の別の構成例を示す図、

【図 9】第 1 の実施形態で用いる多段接続型デルタシグマ回路の構成例を示す図、

【図 10】第 1 の実施形態で用いるデルタ変調回路の構成例を示す図、

【図 11】第 1 の実施形態で用いる変調回路の別の構成例を示す図、

【図 12】第 1 の実施形態で用いる電流可変チャージポンプの回路構成例を示す図、

【図 13】本発明に係る同期回路の第 2 の実施形態を示す図。

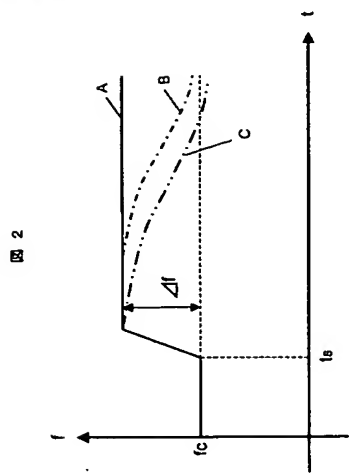
【符号の説明】

1 … 位相比較器 (PFD)、2 … チャージポンプ (CP)、3, 12 … ループフィルタ (LF)、4 … 電圧制御発振器 (VCO)、5 … プログラマブル分周器 (PDV)、6 … 波形整形回路 (PSC)、7 … デルタシグマ回路 ($\Delta\Sigma$)、8 … ガウスフィルタ (GF)、9, 14, 17 … 加算回路、10, 22 … デジタルフィルタ (DF)、11 … 電流可変チャージポンプ、13, 21 … 乗算器、15 … 遅延回路 (DLY)、16, 30 … 制御回路 (CTL)、18 … 整数化回路 (INT)、19 … 1 遅延回路、20 … 平均化回路 (AVG) 23, 24 … 電流源、AMP … 増幅回路、CUR … 電流値切替信号、DS1 ~ DS3 … デルタシグマ回路、REF … 基準信号、MD1 … 第 1 の変調手段、MD2 … 第 2 の変調手段、MD1a, MD1b … 変調手段、NR … ループ帯域が狭く設定された期間、PAON … オン・オフ制御信号、TX__DATA … 送信パルス列、TX__OUT … 出力信号、WR … ループ帯域が広く設定された期間。

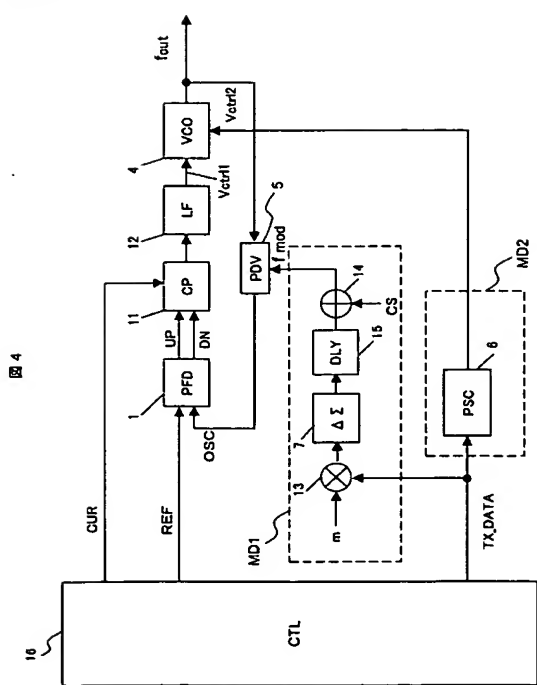
20

30

【 図 2 】

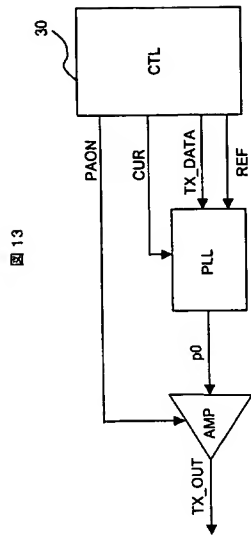


【 図 4 】



11

【 図 13 】



フロントページの続き

F ターム(参考) 5J106 AA04 BB02 CC01 CC21 CC31 CC41 CC53 DD32 EE05 EE06
GG15 HH03 HH10 KK18
5K047 AA05 GG06 GG10 MM33 MM36 MM46 MM50 MM53 MM55 MM63

THIS PAGE BLANK (USPTO)